

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2004-087708

(43)Date of publication of application : 18.03.2004

(51)Int.Cl.

H05K 1/14

G06F 1/18

H01R 12/18

H05K 7/14

(21)Application number : 2002-245513 (71)Applicant : FUJITSU LTD

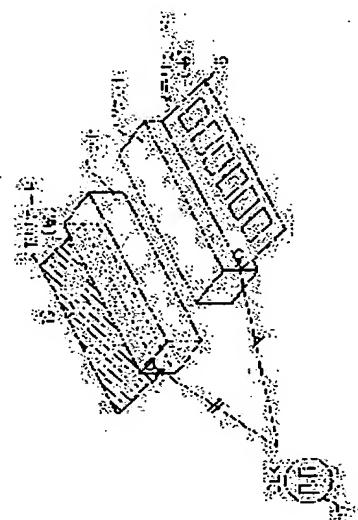
(22)Date of filing : 26.08.2002 (72)Inventor : KONNO YUJI

(54) MEMORY SOCKET

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a memory socket which guarantees equal length wirings in a wiring design of particularly drawable and insertable memory card (dual in memory module).

SOLUTION: The memory socket for mounting the drawable and insertable memory card on a circuit board includes a first memory socket in which a first memory card is inserted with its front surface up, and a second memory socket in which a second memory card is inserted with its rear surface up. The first memory socket and the second memory socket are disposed near each other on the circuit board. The first and the second memory cards are inserted in opposite directions to each other from the outside of the disposed first and second memory sockets.



LEGAL STATUS

[Date of request for examination] 26.11.2004

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or

Best Available Copy

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開2004-87708

(P2004-87708A)

(43)公開日 平成16年3月18日(2004.3.18)

(51) Int.Cl.⁷
 H05K 1/14
 G06F 1/18
 H01R 12/18
 H05K 7/14

F I
 HO5K 1/14
 HO5K 7/14
 GO6F 1/00
 HO1R 23/68

テーマコード(参考)
 5E023
 5E344
 5E348
 320E
 301J

審査請求 未請求 請求項の数 5 O.L. (全 9 頁)

(21)出願番号
 (22)出願日

特願2002-245513(P2002-245513)
 平成14年8月26日(2002.8.26)

(71)出願人 000005223
 富士通株式会社
 神奈川県川崎市中原区上小田中4丁目1番
 1号
 (74)代理人 100077517
 弁理士 石田 敬
 (74)代理人 100092624
 弁理士 鶴田 準一
 (74)代理人 100100871
 弁理士 土屋 繁
 (74)代理人 100082898
 弁理士 西山 雅也
 (74)代理人 100081330
 弁理士 植口 外治

最終頁に続く

(54)【発明の名称】メモリソケット

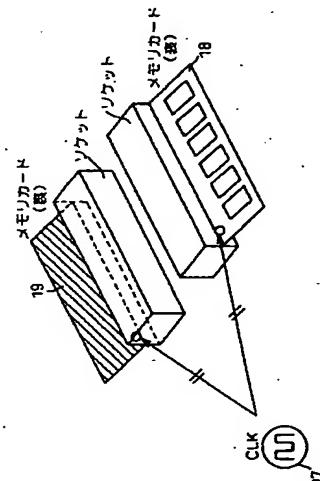
(57)【要約】

【課題】メモリソケットに関し、特に抜き差し可能なメモリカード(DIMM)の配線設計において等長配線が保証されるメモリソケットを提供する。

【解決手段】挿抜可能なメモリカードを回路基盤上に実装するためのメモリソケットは、第1のメモリカードがその表面を上にして挿入される第1のメモリソケットと、第2のメモリカードがその裏面を上にして挿入される第2のメモリソケットと、を具備しており、前記第1のメモリソケットと前記第2のメモリソケットは前記回路基板上で近接して配置され、且つ前記第1及び第2のメモリカードは配置された第1及び第2のメモリソケットの外側から互いに反対方向に挿入される。

【選択図】 図6

図6



Best Available Copy

【特許請求の範囲】**【請求項 1】**

挿抜可能なメモリカードを回路基盤上に実装するためのメモリソケットであって、第1のメモリカードがその表面を上にして挿入される第1のメモリソケットと、第2のメモリカードがその裏面を上にして挿入される第2のメモリソケットと、を具備し、

前記第1のメモリソケットと前記第2のメモリソケットは前記回路基板上で近接して配置され、且つ

前記第1及び第2のメモリカードは前記第1及び第2のメモリソケットの外側から互いに反対方向に挿入される、ことを特徴とするメモリソケット。

10

【請求項 2】

配置された前記第1及び第2のメモリソケットの対向するピン同士の並びは同一である、請求項1記載のメモリソケット。

【請求項 3】

前記第1及び第2のメモリソケットを1つのメモリソケットとして一体形成する、請求項1又は2に記載のメモリソケット。

【請求項 4】

前記一体形成されたメモリソケットにおいて、前記第1及び第2のメモリソケットの対向するピンの対を共通の1つのピンに置き換える、請求項3記載のメモリソケット。

20

【請求項 5】

挿抜可能なメモリカードを回路基盤上に実装するためのメモリソケットであって、第1のメモリカードがその表面を上にして挿入される第1の挿入口と、第2のメモリカードがその裏面を上にして挿入される第2の挿入口と、を有し、前記第1の挿入口と前記第2の挿入口とは反対向きに配置され、前記第1の挿入口のピンの並びとそれに対向する前記第2の挿入口のピンの並びとが同一であること、を特徴とするメモリソケット。

【発明の詳細な説明】**【0001】****【発明の属する技術分野】**

本発明はメモリソケットに関し、特に抜き差し可能な実装部品であるメモリカードをプリント基板上に装着する際に使用するメモリソケット及びその信号配線長に関するものである。

30

【0002】**【従来の技術】**

近年、コンピュータやネットワーク機器等の小型化及び高性能化が急速に進展しており、製品開発の段階で部品のLSI化やその処理速度の向上、それらをプリント基板上に実装する際の高密度実装技術が必須となっている。

【0003】

図1にはルータ装置の一構成例を示しており、また、図2には図1のデータボード上における部品配置の一例を示している。

40

図1において、ルータ装置10は、電源ユニット11と、複数の装着基板に電源ユニット11からの電源を供給すると共に各基板間の信号配線を行なうバックパネル12と、バックパネル12に装着されたマザーボード13及びその増設基板であるデータボード14と、により構成されている。

【0004】

図2のデータボード14は、対向するマザーボード13との間で電源や信号線等の接続を行なうマザーボード接続用コネクタ15及び16を備えており、CPUチップ17からは100MHzの高速クロック信号がSDRAM (Synchronous DRAM)

等の同期タイプのDRAMから成るメモリカード(DIMM)18及び19に供給される。複数のメモリカードを論理的に1つのメモリとして動作させるにはそれらをクロック

50

同期させる必要があるからである。

【0005】

各メモリカード18及び19は、マザーボード1.3とデータボード1.4との間の高さ制限（図1参照）からデータボード上に水平実装される。また、本例ではメモリカード18がメモリカード19よりもクロック源のCPUチップ17に近く配置されている。そのため、2枚のメモリカード18及び19に与えられるクロック信号の間に時間差（スキュー）が生じないように、メモリカード18とCPUチップ17との間の配線には迂回ルートが設けられている。

【0006】

この迂回ルートにより、各メモリカード18及び19とCPUチップ17との間の配線長が互いに等しくなるよう調整される（この配線規則を「等長配線」という）。本例の場合、100MHzのクロック信号のクロック周期は10nsであり、1クロック幅はその2分の1の5nsである。

【0007】

これに上記スキューや配線の容量、部品バラツキ、周囲温度や動作中のチップ温度、等の種々の条件が加重されると数nsの設計マージンが失われ、正常動作が保証できない場合が生じ得る。このため、配線長はできるだけ短く且つ等長配線となるように配線設計が行なわれる。

【0008】

【発明が解決しようとする課題】

図3は、図2と同様に、従来のメモリソケットを同じ向きに並列配置した例を示している。

本例では、メモリカード18及び19の各クロックピンは共にクロック源17に対して等距離に配置できることから、容易に等長配線が可能である。

【0009】

しかしながら、メモリを実装する場合には、メモリカード挿抜用の空間をメモリカード18と19との間に確保する必要がある。従って、メモリソケット群が基板上の面積を必要に多く占めることになり、装置の小型化や低コスト化が困難となる問題があった。

【0010】

一方、図4には、従来のメモリソケットを互いに逆向きに並列配置した例を示している。本例では、図3で説明したメモリソケット群の占有面積を削減するために、メモリカード19のメモリソケットを水平面上で180度回転させて基板に取り付けている。これにより、メモリカード18と19との間のメモリカード挿抜用の領域は削減される。

【0011】

しかしながら、その一方で対向するピン同士の並びが逆の順番になり、等長配線を実現するのに一方のメモリソケット側に等長配線用の迂回ルートを設ける必要がある。その結果、配線設計の困難性が増大し、また迂回ルートによる占有面積も増大するという問題があった。このように、図3及び4はそれぞれの利点と相反する問題点とを有していた。

【0012】

そこで本発明の目的は、上記問題点に鑑み、迂回ルートを設けることなく等長配線が保証され且つより短い配線長の配線設計を可能にするメモリソケットを提供することにある。これにより、従来と比して一層の高密度実装と更に高速なクロック動作とが共に可能となり、装置の小型化や高性能化に寄与することができる。

【0013】

【課題を解決するための手段】

本発明によれば、挿抜可能なメモリカードを回路基盤上に実装するためのメモリソケットであって、第1のメモリカードがその表面を上にして挿入される第1のメモリソケットと、第2のメモリカードがその裏面を上にして挿入される第2のメモリソケットと、を具備し、前記第1のメモリソケットと前記第2のメモリソケットは前記回路基板上で近接して配置され、且つ前記第1及び第2のメモリカードは配置された第1及び第2のメモリソケ

ットの外側から互いに反対方向に挿入される、ことを特徴とするメモリソケットが提供される。

【0014】

配置された前記第1及び第2のメモリソケットの対向するピン同士の並びは同一であり、前記第1及び第2のメモリソケットを1つのメモリソケットとして一体形成することもできる。この場合には、前記第1及び第2のメモリソケットの対向するピンの対を共通の1つのピンに置き換えることができる。

【0015】

また本発明によれば、挿抜可能なメモリカードを回路基盤上に実装するためのメモリソケットであって、第1のメモリカードがその表面を上にして挿入される第1の挿入口と、第2のメモリカードがその裏面を上にして挿入される第2の挿入口と、を有し、前記第1の挿入口と前記第2の挿入口とは反対向きに配置され、前記第1の挿入口のピンの並びとそれに対向する前記第2の挿入口のピンの並びとが同一であること、を特徴とするメモリソケットが提供される。

【0016】

【発明の実施の形態】

図5は、本発明によるデータボード上の部品配置の一例を示したものである。

図5において、メモリカード18及び19は、互いに逆向きに近接して配置された各々のメモリソケットに挿入され、且つ一方のメモリカードは他方のメモリカードに対して表裏が逆向きとなるように各々のメモリソケットに挿入される。これ以外の部品15～17については図2で説明した部品と同じであり、それらについては更に説明しない。

20

【0017】

図6には、図5に示すメモリカード18及び19の配置構成を拡大して示してある。

図6において、メモリカード18及びそのメモリソケットの配置は従来と変わらないが、メモリカード19についてはその裏面を上にした状態でメモリソケットに挿入される。この場合、メモリカード19のメモリソケットには、基板に装着されるソケットピンが従来のソケットピンとは逆順に並べられた新たなソケットを使用する。なお、このようなメモリソケットの構成については後に詳述する。

【0018】

図6の本発明によるメモリソケットを使用すれば、そのメモリソケットの配置自体は図4に示したのと類似の構成を有しているため、メモリカード18と19との間のメモリカード挿抜用の占有面積が削減できる。そのため、従来の同じ向きに並列配置した水平実装に比べて一層の高密度実装が可能となる。

30

【0019】

また、本発明によるメモリソケットを使用すれば、図3に示したのと同様にメモリカード18及び19の各クロックピンは共にクロック源17に対して等距離に配置することが可能となり、容易に等長配線が行なえる。本発明の場合は、さらに対向するソケットピン同士のピン番号が同じため、以下で説明するように最短の等長配線を実現することができる。

【0020】

40

図7には、本発明によるメモリソケット配線の一例を示している。

一例として、クロック信号について説明すると、対向するソケットのクロックピン同士を単に最短距離で接続し、その接続の中点にクロック源17からのクロック信号線を接続する。

【0021】

従って、本発明の構成によれば本質的に2枚のメモリカード18及び19に与えられるクロック信号の間に時間差(スキー)は生じ得ず、当然に迂回ルートを設ける必要もない。アドレス/データ信号や制御信号の各々の配線についても同様である。この構成は、将来において数百MHz等のより高速なクロック信号を用いるような配線設計においても等長配線を意識する必要がないにおいて特に重要である。

50

【0022】

図8は、本発明によるDIMM用メモリソケットの一実施例を示したものである。なお、本発明によるメモリソケットは以下の説明からも分かるように非常にシンプルな構造を有しており、その製造のために従来のメモリソケットと比べて特別な技術や工程やコストは必要としない。

【0023】

図8の(a)は、本発明で使用する2種類のメモリソケットを示しており、例えば、ソケットAはメモリカード18が装着される従来の水平実装型のメモリソケットを、そしてソケットBは裏面を上にしたメモリカード19を装着するため新たに設計された水平実装型のメモリソケットをそれぞれ示している。

10

【0024】

図中に示すように、ソケットAのピン配列とソケットBのピン配列とは互いに逆方向の並びとなっている。図8の(b)は、上記2つのソケットを互いに逆向きに並列配置した場合を示しており、これまでに説明した図5~7の構成に相当するものである。この構成により、ソケットAのピン配列とソケットBのピン配列とは互いに同一方向の並びとなり、近接して対向する同一ピン番号のピン同士が最短距離で接続可能となる(図7参照)。

20

【0025】

図8の(c)は、図8の(b)の2つのソケットA及びBを合わせて一体型のソケットCとして構成したものである。この構成によれば、ソケットA及びBの同一ピン番号のピン同士を合わせて1つのピンとすることが可能である。この場合、メモリカード18及び19の同一ピン番号同士はソケットC内部で接続される。

20

【0026】

例えば、メモリカード18又は19のセレクト(イネーブル)信号ピンはそれぞれ個別に設けるが、それ以外のクロック、アドレスバス、データバス、及びコントロールバス等の各信号ピンの対はそれぞれ1つの共通ピンに集約できる。その結果、ソケットCのピン数はソケットA又はBのピン数の約2分の1となり、それらの基板上における配線領域も半分程度に減ずることができる。

30

【0027】

なお、図中には示していないが一体型ソケットCの変形例(「ソケットC'」とよぶ)として、ソケットCのようにメモリカード18及び19を直接装着するのではなく、従来の垂直実装タイプのDIMM用ソケットを上下反転して水平に装着できる構造を有するソケットC'を設けることもできる。

【0028】

この場合、メモリカード18及び19はそれぞれ従来の垂直実装タイプのDIMM用ソケットに装着され、各々の垂直実装タイプのDIMM用ソケットはアダプタとしてのソケットC'に互いに上下反転して水平に装着される。

40

【0029】

本例によれば、DIMM用ソケットとして既存の垂直実装タイプの1種類のソケットだけが使用され、またアダプタとしてのソケットC'も簡易な構造となる利点がある。この場合も一体型ソケットCと同様の作用・効果を有しており、原則として配線は等長配線となり、基板上の配線領域も低減される。

【0030】**【発明の効果】**

以上説明したように、本発明によれば、迂回ルートを設けることなく等長配線が保証され且つより短い配線長の配線設計を可能にするメモリソケットが提供される。これにより、高速クロック動作が可能となり、装置の高性能化に大きく寄与することができる。

【図面の簡単な説明】

【図1】ルータ装置の一構成例を示した図である。

50

【図2】従来の部品配置の一例を示した図である。

【図3】従来のメモリソケットと同じ向きに並列配置した例を示した図である。

【図4】従来のメモリソケットを互いに逆向きに並列配置した例を示した図である。

【図5】本発明による部品配置の一例を示した図である。

【図6】図5に示すメモリカードの配置構成を拡大して示した図である。

【図7】本発明によるメモリソケット配線の一例を示した図である。

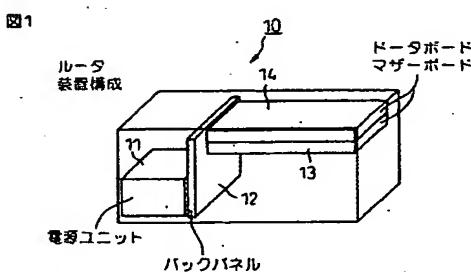
【図8】本発明によるDIMM用メモリソケットの一実施例を示した図である。

【符号の説明】

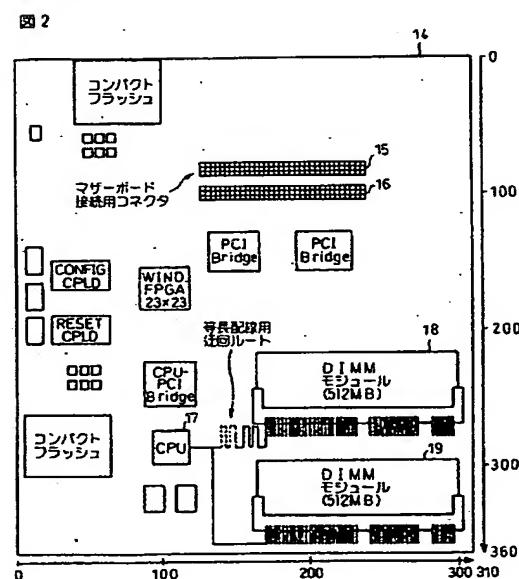
- 1 0 … ルータ装置
- 1 1 … 電源ユニット
- 1 2 … パックパネル
- 1 3 … マザーボード
- 1 4 … ドータボード
- 1 5、1 6 … マザーボード接続用コネクタ
- 1 7 … クロック源
- 1 8、1 9 … メモリカード

10

【図1】

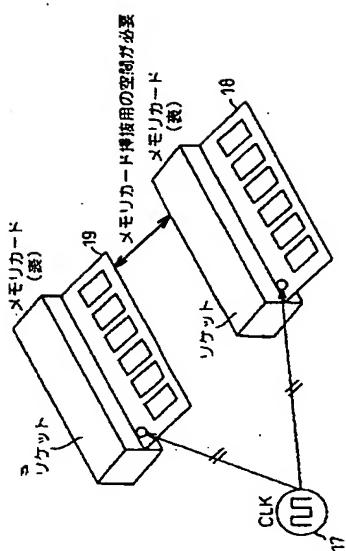


【図2】



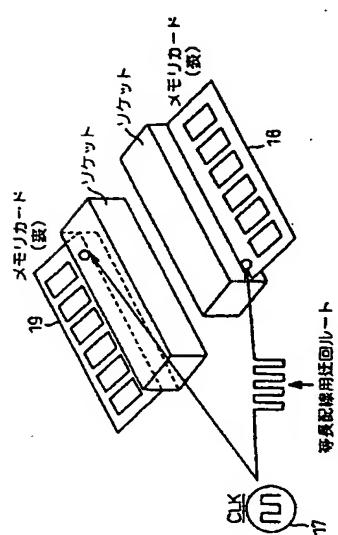
【図3】

図3



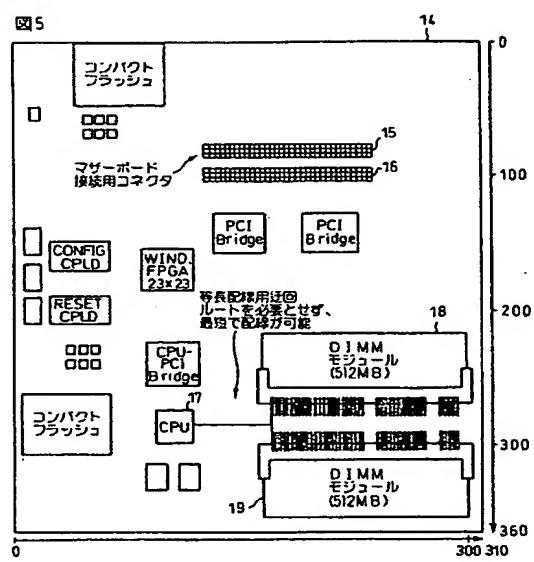
【図4】

図4



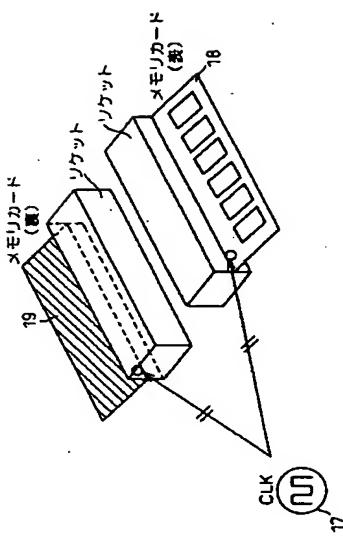
【図5】

図5

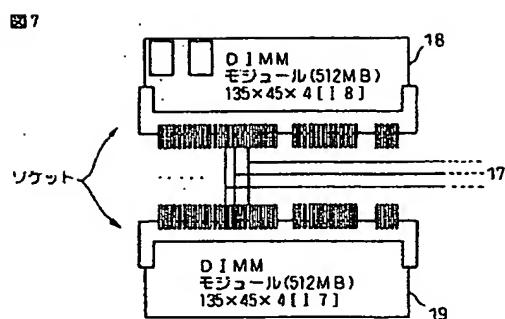


【図6】

図6

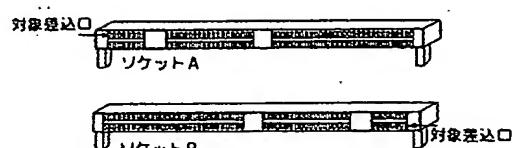


【図7】

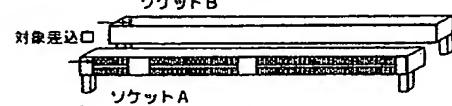


【図8】

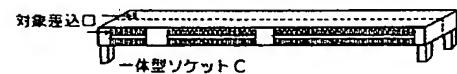
(a)



(b)



(c)



フロントページの続き

(72)発明者 金野 雄次

神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

F ターム(参考) 5E023 AA04 AA16 AA21 BB19 BB22 BB29 CC02 CC23 GG13 HH11
HH18
5E344 AA04 AA12 AA23 BB02 CD18 CD29 DD08 EE08 EE21
5E348 AA03 AA07 CC09 EE09 EF04 EF12 EF16 EF22 EF52 EF55

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.